

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-223514

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

H04N 5/66

G09G 3/28

G09G 5/00

(21)Application number : 07-030607

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 20.02.1995

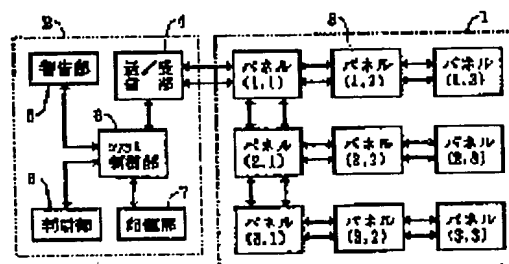
(72)Inventor : OTA EIJU

(54) MULTI-PANEL SYSTEM

(57)Abstract:

PURPOSE: To allow the system to recognize matrix arrangement automatically based on an address replied by a final panel by allowing each panel of each succeeding stage to recognize its own address sequentially based on address data given to a top panel.

CONSTITUTION: Panels 3 each having a row address and a column address of the 1st column and of the 1st row in a multi-panel 1 in matrix arrangement are connected longitudinally and laterally by a couple of line. Similarly lateral panels of the 2nd row where a panel (2, 1) is a head address and lateral panels of the 3rd row where a panel (3, 1) is a head address are connected. Each panel 3 recognizes and stores the arrangement position of its own panel and gives arrangement position data to a succeeding stage and transfers a reply from the succeeding stage to a pre-stage. When applying power, the arrangement detection mode is set, a system control section 8 gives a head address to a head panel (1, 1) via a transmission reception section 4 and automatically recognizes the entire matrix arrangement based on a reply from the final panel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim]

[Claim 1] In the multi-panel system of the big screen display configuration which arranges two or more sets of panels in a matrix array, and controls a display image for every panel The panel equipped with the two-way communication function to transmit the response from the next step to the preceding paragraph while the array position of a self-panel is recognized with the supplied array position data, it memorizes and the array position data of the next step are generated and supplied, Supply array position data to the head panel of the aforementioned matrix array, and the system controller which recognizes the whole matrix arrangement by response of the array position data from the last panel is included. The multi-panel system characterized by each panel transmitting the array position data of the aforementioned last panel to a system controller while the last panel of each line transmits the array position data of this panel to the preceding paragraph.

[Claim 2] The multi-panel system of the claim 1 publication characterized by making panel connection in the orientation of a train for the above-mentioned matrix array in the first train of a matrix.

[Claim 3] The multi-panel system of the claim 1 publication characterized by constituting the above-mentioned panel from PDP (plasma display).

[Claim 4] The multi-panel system of the claim 1 publication characterized by constituting the above-mentioned panel from liquid crystal.

[Claim 5] While sending and the reception to the horizontal system which connected the panel to the line writing direction for the above-mentioned panel are performed Level / perpendicular and ** / receive section which performs sending and the reception to the vertical system which connected the panel in the orientation of a train, The memory section which memorizes the termination detecting element which detects the panel connected to the last position of each line, and position data and picture image control data, The adder unit which adds 1 to position data, and the frame memory section which memorizes frame image data, The multi-panel system of the claim 1 publication constituted from the expansion / the video-signal processing section which performs signal processing for a partial expansion of a picture image, and status-signal processing, a display which displays a picture image, and a panel control section which controls each part.

[Claim 6] In order that the above-mentioned level / perpendicular and ** / receive section may connect with the preceding paragraph of the level (line) orientation, while one pair of signal terminals corresponding to a line and a train are prepared In order to connect with the preceding paragraph of the perpendicular (train) orientation, while it prepares one pair of signal terminals corresponding to the line and train for connecting with the latter part of the level (line) orientation, and one pair of signal terminals corresponding to a line and a train are prepared The multi-panel system of the claim 5 publication characterized by preparing one pair of signal terminals corresponding to the line and train for connecting with the latter part of the perpendicular (train) orientation.

[Claim 7] The multi-panel system of the claim 5 publication characterized by the above-mentioned level / perpendicular and ** / receive section realizing one pair of signal terminals

corresponding to a line and a train with one signal terminal which transmits line data and string data.

[Claim 8] The multi-panel system of the claim 5 publication characterized by for the above-mentioned panel generating the array position data which added 1 to the string data in the panel connection system of a line writing direction, generating the array position data which added 1 to line data in the panel connection system of the orientation of a train, and transmitting to the next step.

[Claim 9] The multi-panel system of claim 5 publication by which the above-mentioned panel was characterized by recognizing the arrangement under matrix array of a self-panel, starting the fraction of a frame picture based on the arrangement in the case of a partial enlarged display, and performing enlarged-display processing.

[Claim 10] The multi-panel system of the claim 5 publication which measures the impedance of a terminal for the above-mentioned termination detecting element, and judges the existence of external connection.

[Claim 11] **/receive section which receives the reply signal from each panel while the first array position data are supplied for the above-mentioned system controller to a head panel, The decision section which judges a matrix array based on the array position data of the last panel of each line, The multi-panel system of the claim 1 publication constituted from the alarm section which displays an alarm when the matrix array whose string data of the storage section which memorizes the aforementioned matrix array, and the last address of each line does not correspond is detected, and the system-control section which controls each part.

[Claim 12] The multi-panel system of the claim 11 publication constituted from a system controller which shifts to the mode in which matrix arrangement is detected when power is supplied to a system in the above-mentioned system controller.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[Field of the Invention] this invention relates to the system which carries out automatic recognition of the array of a panel in detail with respect to the multi-panel system of the big screen display configuration which has arranged two or more sets of the panels for a display in the matrix array.

[0002]

[Prior art] Conventionally, PDP panel is alone used for graphic display, and also it is used for the multi-screen-display equipment which displays various pictures on two or more of these screens as a multi-panel system of the matrix array which carried out the contiguity installation of the plurality in the orientation of vertical (train) width (line). Furthermore, since a partial picture can be displayed on each PDP panel and an enlarged display can also be effectively carried out to the usage of a multi-panel system on the whole, it is used for a thin shape and the large screen display of high brightness in a conference room, the event hall, a showroom, etc.

[0003] The example block diagram of the conventional multi-panel system is shown in drawing 4. 21 is the multi-panel which has arranged, combining nine PDP panels 23 the shape of a matrix of 3x3, and connected each panel mutually by the control line. 22 is a system controller which inputs and memorizes the matrix array data 25 of the aforementioned multi-panel 21 from the exterior while it gives designation of whether to perform expansion processing to each PDP panel 23. 24 is storage section which memorizes the aforementioned matrix array data 25. 26 is system-control section which controls each part while it inputs the matrix array data 25 (in the case of the above-mentioned example (3, 3)). 27 is a video signal supplied, for example, is transmitted in series to each PDP panel 23.

[0004] A system controller 22 controls whether expansion processing of the supplied video signal 27 is carried out to each PDP panel 23, for example by the above-mentioned conventional multi-panel system. When performing expansion processing, the system-control section 26 supplies the address every PDP panel 23 based on the matrix array of the multi-panel 21, and each PDP panel 23 carries out expansion processing of the video signal of a necessary fraction. for example, a head panel (1, 1) carries out expansion processing of the video signal equivalent to the left-hand side upper case of the inside which divided the picture image of one frame into nine sheets of 3x3, and the last panel (3, 3) carries out expansion processing of the video signal equivalent to the right-hand side lower berth -- as -- every -- a necessary fraction is expanded every PDP panel 23, and a multi-panel system performs the enlarged display of the whole picture image By the way, in the conventional multi-panel system mentioned above, when it was necessary to supply the matrix array data 25 from the exterior and the matrix array of the multi-panel 21 was changed beforehand, the time which newly supplies the matrix array data 25 each time was taken, and there was a troublesome problem.

[0005]

[Object of the Invention] It aims at offering the multi-panel system which can recognize the array of a panel automatically by this invention having been made in view of the above-mentioned trouble, and connecting the control line of a multi-panel system by predetermined

technique, for example, supplying power etc.

[0006]

[The means for solving a technical problem] In the multi-panel system of the big screen display configuration which arranges two or more sets of panels in a matrix array, and controls a display image for every panel in order to attain the above-mentioned purpose The panel equipped with the two-way communication function to transmit the response from the next step to the preceding paragraph while the array position of a self-panel is recognized with the supplied array position data, it memorizes and the array position data of the next step are generated and supplied, Supply array position data to the head panel of the aforementioned matrix array, and the system controller which recognizes the whole matrix arrangement by response of the array position data from the last panel is included. While the last panel of each line transmits the array position data of this panel to the preceding paragraph, each panel transmits the array position data of the aforementioned last panel to a system controller.

[0007]

[Operation] Since it constituted as mentioned above, based on drawing explaining the connection between panels of the multi-panel system shown in drawing 3, generation of address data, and an operation of a transfer, a matrix array explains in the example of two line x2 train. A panel is arranged in a matrix array, between panels is wired by two signal lines corresponding to a line and a train, and a top panel array position is set to (1, 1). The panel (1, 1) of this head adds 1 to the string data of array position data (1, 1), generates array data (1, 2), and transmits them to the contiguity panel (1, 2) of the level (width) orientation while it will memorize array position data (1, 1) as its address, if array position data (1, 1) are supplied from a system controller. The panel (1, 2) of the address (1, 2) detects that it is the last panel of this line, and transmits its address (1, 2) to a system controller (not shown) via a panel (1, 1).

[0008] Moreover, a panel (1, 1) adds 1 to the line data of array position data (1, 1), generates array data (2, 1), and transmits them to the contiguity panel (2, 1) of the perpendicular (length) orientation. Furthermore, a panel (2, 1) adds 1 to the string data of array data (2, 1), generates array position data (2, 2), and transmits them to the contiguity panel (2, 2) of the level (width) orientation while it memorizes the aforementioned array position data (2, 1) as its address. The panel (2, 2) of the address (2, 2) detects that it is the last panel of this line, and transmits its address (2, 2) to a system controller (not shown) via each panel in the order of a panel (2, 1) and a panel (1, 1). the address (1, 2) and the address (2, 2) which were transmitted from the panel in the system controller (not shown) -- being based -- for example, the sum of line data and string data -- calculating -- the large address -- it is (2, 2) -- it is recognized as it being a panel array

[0009]

[Example] Hereafter, the multi-panel system by this invention is explained in detail using drawing. Drawing 1 is the example block diagram of the multi-panel system by this invention. 1 is the multi-panel which has arranged, combining nine PDP panels 3 the shape of a matrix of 3x3, and connected each panel mutually by at least one pair of control lines. while recognizing a panel array based on the array position (address) data which 2 supplies array position (address) data (1, 1) to the panel (1, 1) of the head of a matrix array, and are transmitted from the PDP panel 3 -- every -- giving designation of whether to perform expansion processing to the PDP panel 3 etc. is the system controller which performs various controls to the aforementioned multi-panel 1 3 is PDP panel. the array position (address) data transmitted from the PDP panel 3 while 4 transmits array position (address) data (1, 1) to a top panel (1, 1) -- receiving -- further -- every -- they are **/receive section which transmits control data to the PDP panel 3 5 is alarm section which displays an alarm, when the array of a multi-panel is irrational. 6 is decision section which calculates the sum of line data and string data and judges the greatest address to be a panel array, for example out of the array position (address) data transmitted from the PDP panel 3. 7 is storage section which memorizes the aforementioned panel array. 8 is system-control section which controls each part.

[0010] Drawing 2 is the example block diagram of the panel of the multi-panel system by this invention. 10 is level / perpendicular and ** / receive section which performs sending and the

reception to the vertical system which connected the panel in the orientation of a train while it performs sending and the reception to the horizontal system which connected the panel to the line writing direction. For example, 15 detects the panel connected to the last position of each line, it is a termination detecting element which judges whether the impedance of a terminal is measured and the panel has connected with the next step. 11 is memory section which memorizes the position data of a self-panel, and picture image control data, such as brightness and a hue. 12 is an adder unit which adds 1 to the line data or the string data of position data. 13 is frame memory section which memorizes frame image data. 14 is the expansion / video-signal processing section which performs signal processing for a partial expansion of a picture image, and status-signal processing. 16 is a display which displays a picture image. 18 is a panel control section which controls each part.

[0011] An operation of the multi-panel system by this invention is explained according to drawing 1, drawing 2, and drawing 3. The connection between the system controller 2 and the multi-panel 1, and each panel is described. it is shown in drawing 1 -- as -- the first train of a matrix array of each panel 3 of the multi-panel 1 -- the orientation of a train -- a line address and the train address -- separate -- one pair of lines -- panel connection of a vertical system -- while carrying out -- a panel (1, 1) -- a head -- the line writing direction of the first line -- a line address and the train address -- separate -- one pair of lines -- panel connection of a horizontal system -- it carries out Similarly, by one pair of lines, panel connection of the horizontal system of the second line is made for a panel (2, 1) at the head, and panel connection of the horizontal system of the third line is made for a panel (3, 1) at the head still similarly. Powering on is performed and it is made to shift to the mode in which matrix arrangement is detected, in the wiring status of the above-mentioned multi-panel 1. A system controller 2 supplies top array position (address) data (1, 1) to the panel (1, 1) of the head of the multi-panel 1 via ** / receive section 4.

[0012] A recognition operation of address data is explained below. The terminal of a panel and its connection are described in detail first. it is shown in drawing 3 -- as -- each panel -- two pairs of input terminals (HXI, HYI) -- and (VXI, VYI) two pairs of output terminals (HXO, HYO) -- and (VXO, VYO) It has. For example, a panel (1, 1) connects an output terminal (HXO, HYO) and the input terminal (HXI, HYI) of a panel (1, 2), and a panel (1, 1) is an output terminal (VXO, VYO). Input terminal of a panel (2, 1) (VXI, VYI) It has connected. Moreover, the panel (2, 1) has connected the output terminal (HXO, HYO) and the input terminal (HXI, HYI) of a panel (2, 2). In addition, the input terminal of a panel (1, 1) is connected to the system controller 2 (drawing 1). Moreover, the terminal of the others of each panel is released.

[0013] If, as for a panel (1, 1), data (shown by 1 and 1 in the order of a "line" and a "train" after HXI =1 and HYI =1) are supplied as array position data (1, 1) at an input terminal (HXI, HYI) as shown in drawing 3 (**). While the aforementioned array position data (1, 1) are memorized as their address (recognition) 1 is added to the string data of array position data (1, 1), data (1, 2) are outputted to an output terminal (HXO, HYO), and the aforementioned data (1, 2) are supplied to the contiguity panel (1, 2) of the level (width) orientation. a panel (1, 2) -- an output terminal (HXO, HYO) -- and (VXO, VYO) ***** -- it is released, and since it is in the status which does not have connection of a panel in the next step, the aforementioned address data (1, 2) are transmitted to reverse order as it is as a last address of the 1st line at a panel (1, 1) side

[0014] As shown in drawing 3 (**), a panel (1, 1) adds 1 to the line data of the array position data (1, 1) of a self-panel, and it is an output terminal (VXO, VYO). Data (2, 1) are outputted and the aforementioned data (2, 1) are supplied to the contiguity panel (2, 1) of the perpendicular (length) orientation. A panel (2, 1) adds 1 to the string data of array position data (2, 1), and outputs data (2, 2) to an output terminal (HXO, HYO) while it memorizes the aforementioned array position data (2, 1) as its address.

[0015] As shown in drawing 3 (**), the data (2, 2) of the output terminal (HXO, HYO) of a panel (2, 1) are supplied to the input terminal (HXI, HYI) of the contiguity panel (2, 2) of the level (width) orientation. By the panel (2, 2), while the aforementioned array position data (2, 2) are memorized as their address an output terminal (HXO, HYO) -- and (VXO, VYO) ***** -- it is released, and since it is in the status which does not have connection of a panel in the next

step, the aforementioned address data (2, 2) are transmitted to reverse order as it is as a last address of the 2nd line at a panel (2, 1) and panel (1, 1) side. Although the above-mentioned explanation explained the recognition technique of the address of an address data transfer and each panel to the example for the 2x2 matrix array, a matrix size of an array is not limited to 2x2, and is adapted also for the 3x3 matrix array of drawing 1.

[0016] the address (1, 3), the address (2, 3), and the address (3, 3) to which the decision section 6 was transmitted from the panel via ** / receive section 4 when the last-address data of each line were transmitted by the system-controller 2 side of drawing 1 from the panel side -- receiving -- these data -- being based -- the sum of line data and string data -- calculating -- the greatest address -- it is (3, 3) -- it can be recognized as it being this panel

[0017] Level / perpendicular and ** / receive section 10 performs sending and a reception of both directions, and an operation of each panel transmits the greatest above-mentioned address data etc., as shown in drawing 2. The memory section 11 memorizes array position data as its address, and an adder unit 12 adds 1 to line data or string data suitably. The termination detection section 15 measures the impedance of a terminal, and it detects that it is the last panel of each line. An enlarged-display operation of a panel is described as an example. The necessary fraction of the frame picture from the frame memory section 13 with which the panel is equipped based on [in the case of a partial enlarged display] arrangement of a self-panel for example since each panel is carrying out automatic recognition of the arrangement of a self-panel while a system controller 2 will carry out automatic recognition of the panel array beforehand, if a video signal is supplied to a panel, for example, an enlarged display is directed can be read to necessary timing, and enlarged-display processing can be performed. Furthermore, display controls, such as brightness, can also be performed for every panel from a system controller 2.

[0018] In addition, the last address of each line transmitted from the panel in the decision section 6 of drawing 1 presupposes that they are the address (1, 2), the address (2, 3), and the address (3, 3). In this case, by 2, only string data of the first line is 3 and other lines' does not correspond. Therefore, it can be judged that the wiring of the last panel (1, 3) of the first line has separated, or failure etc. has occurred. Therefore, the alarm display of the purport can be performed in the alarm section 5. Moreover, in order to shift to the mode in which matrix arrangement is detected, a mode switch is prepared in the exterior of not the thing to limit to a power up but the system-control section 8, and it may be made to detect matrix arrangement at arbitrary time. Moreover, although PDP panel was explained as a panel which constitutes the multi-panel 1 from an above-mentioned example, this invention may be the multi-panel system which does not limit to PDP panel and used the liquid crystal panel. Moreover, level / perpendicular and ** / receive section 10 shown in drawing 2 may make one pair of signal terminals corresponding to a line and a train the formula which transmits line data and string data by time sharing, and may be realized with one signal terminal.

[0019]

[Effect of the invention] As explained above, the multi-panel system which can recognize the array of a panel automatically by this invention connecting the control line of a multi-panel system by predetermined technique, for example, supplying power etc. is offered. Therefore, in case various pictures are displayed on two or more PDP panel screens etc. on many screens, it is necessary to supply matrix array data from the exterior beforehand neither in a conference hall, the event hall nor a showroom also to the multi-panel system of a different matrix array. In case the enlarged display of the big screen which carried out the enlarged display of the partial picture to each PDP panel especially is carried out, since each panel carries out automatic recognition of the arrangement of a self-panel, this invention has the merit which can cancel the troublesomeness which supplies matrix arrangement data for every panel like the conventional multi-panel system.

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[An easy explanation of a drawing]

[Drawing 1] It is the example block diagram of the multi-panel system by this invention.

[Drawing 2] It is the example block diagram of the panel of the multi-panel system by this invention.

[Drawing 3] It is drawing explaining the connection between panels of the multi-panel system by this invention, generation of address data, and an operation of a transfer.

[Drawing 4] It is the example block diagram of the conventional multi-panel system.

[An explanation of a sign]

- 1 Multi-Panel
- 2 System Controller
- 3 PDP Panel
- 4 **/Receive Section
- 5 Alarm Section
- 6 Decision Section
- 7 Storage Section
- 8 System-Control Section
- 10 Level / Perpendicular and ** / Receive Section
- 11 Memory Section
- 12 Adder Unit
- 13 Frame Memory Section
- 14 Expansion / Video-Signal Processing Section
- 15 Termination Detecting Element
- 16 Display
- 18 Panel Control Section
- 21 Multi-Panel
- 22 System Controller
- 23 PDP Panel
- 24 Storage Section
- 25 Matrix Array Data
- 26 System-Control Section
- 27 Video Signal

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-223514

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/66	1 0 1		H 0 4 N 5/66	1 0 1 B
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	W
5/00	5 1 0	9377-5H	5/00	5 1 0 V

審査請求 未請求 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願平7-30607

(22) 出願日 平成7年(1995)2月20日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 太田 英寿

川崎市高津区末長1116番地 株式会社富士通ゼネラル内

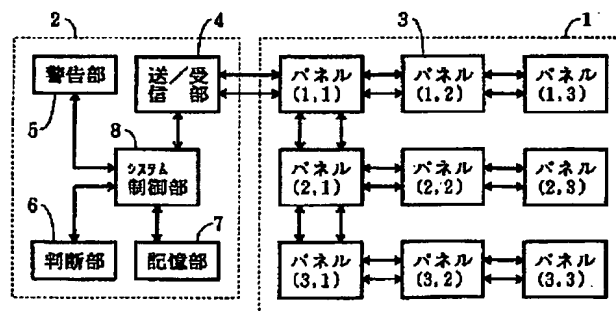
(54) 【発明の名称】 マルチパネルシステム

(57) 【要約】

【目的】 先頭のパネルに与えたアドレスデータを基準に、後段に接続した各パネルが順次自分のアドレスを認識し、最終のパネルが応答したアドレスに基づきシステムがマトリクス配列を自動的に認識する。

【構成】 パネル3をマトリクス状に組み合わせて配置し、各パネルを少なくとも1対の制御線で相互に接続したマルチパネル1と、先頭のパネルにアドレスデータ

(1, 1) を供給し、PDPパネル3から送信されるアドレスデータに基づきパネル配列を認識するシステム制御装置2と、PDPパネル3と、アドレスデータを先頭のパネルに送信するとともに、PDPパネル3から送信されるアドレスデータを受信し、さらに、各PDPパネル3に制御データを送信する送/受信部4と、警告の表示を行う警告部5と、パネル配列を判断する判断部6と、記憶部7と、システム制御部8とでなる。



【特許請求の範囲】

【請求項1】 複数台のパネルをマトリクス配列に配置し表示画像をパネル毎に制御する大画面表示構成のマルチパネルシステムにおいて、

供給された配列位置データにより自パネルの配列位置を認識し記憶し、次段の配列位置データを生成し供給するとともに次段からの応答を前段に転送する双方向通信機能を備えたパネルと、前記マトリクス配列の先頭パネルに配列位置データを供給し、最終パネルからの配列位置データの応答によりマトリクス配置全体を認識するシステム制御装置とを含み、各行の最終パネルが同パネルの配列位置データを前段に送信するとともに各パネルが前記最終パネルの配列位置データをシステム制御装置に転送することを特徴としたマルチパネルシステム。

【請求項2】 上記マトリクス配列をマトリクスの第一列で列方向にパネル接続を行うことを特徴とした請求項1記載のマルチパネルシステム。

【請求項3】 上記パネルをPDP（プラズマディスプレイ）で構成したことを特徴とする請求項1記載のマルチパネルシステム。

【請求項4】 上記パネルを液晶で構成したことを特徴とする請求項1記載のマルチパネルシステム。

【請求項5】 上記パネルを、行方向にパネルを接続した横系統に対する送信及び受信を行うとともに、列方向にパネルを接続した縦系統に対する送信及び受信を行う水平／垂直・送／受信部と、各行の最終位置に接続されたパネルを検出する終端検出部と、位置データと画像制御データとを記憶するメモリ部と、位置データに1を加算する加算部と、フレーム画像データを記憶するフレームメモリ部と、画像の部分拡大のための信号処理及び表示信号処理を行う拡大／映像信号処理部と、画像を表示する表示部と、各部を制御するパネル制御部とで構成した請求項1記載のマルチパネルシステム。

【請求項6】 上記水平／垂直・送／受信部が、水平（行）方向の前段に接続するために行及び列に対応する1対の信号端子を設けるとともに、水平（行）方向の後段に接続するための行及び列に対応する1対の信号端子を設け、垂直（列）方向の前段に接続するために行及び列に対応する1対の信号端子を設けるとともに、垂直（列）方向の後段に接続するための行及び列に対応する1対の信号端子を設けることを特徴とした請求項5記載のマルチパネルシステム。

【請求項7】 上記水平／垂直・送／受信部が、行及び列に対応する1対の信号端子を行データ及び列データを伝送する1つの信号端子で実現したことを特徴とする請求項5記載のマルチパネルシステム。

【請求項8】 上記パネルが行方向のパネル接続系統では列データに1を加算した配列位置データを生成し、列方向のパネル接続系統では行データに1を加算した配列位置データを生成して次段に送信することを特徴とした

請求項5記載のマルチパネルシステム。

【請求項9】 上記パネルが自パネルのマトリクス配列中の配置を認識し、その配置に基づき部分拡大表示の際、フレーム映像の部分を取り出して拡大表示処理を行うことを特徴とした請求項5記載のマルチパネルシステム。

【請求項10】 上記終端検出部を端子のインピーダンスを計測して外部接続の有無を判定する請求項5記載のマルチパネルシステム。

【請求項11】 上記システム制御装置を、先頭パネルに最初の配列位置データを供給するとともに各パネルからの応答信号を受信する送／受信部と、各行の最終パネルの配列位置データに基づきマトリクス配列を判断する判断部と、前記マトリクス配列を記憶する記憶部と、各行の最終アドレスの列データが一致しないマトリクス配列を検出した場合警告を表示する警告部と、各部を制御するシステム制御部とで構成した請求項1記載のマルチパネルシステム。

【請求項12】 上記システム制御装置をシステムに電源が投入された際、マトリクス配置を検出するモードに移行するシステム制御装置で構成した請求項11記載のマルチパネルシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数台の表示用パネルをマトリクス配列に配置した大画面表示構成のマルチパネルシステムに係わり、詳しくは、パネルの配列を自動認識するシステムに関する。

【0002】

【従来の技術】 従来、PDPパネルは単体で映像表示用に利用されるほか、複数を縦（列）横（行）方向に隣接設置したマトリクス配列のマルチパネルシステムとして、この複数の画面に種々の映像を表示する多画面表示装置に利用している。さらに、マルチパネルシステムの利用方法には、個々のPDPパネルに部分映像を表示し、全体で拡大表示を効果的に行うこともできるため、会議室、イベント会場やショールーム等で薄型、高輝度の大画面表示装置に使用される。

【0003】 図4に従来のマルチパネルシステムの実施例ブロック図を示す。21は、例えば、9枚のPDPパネル23を3×3のマトリクス状に組み合わせて配置し、各パネルを制御線で相互に接続したマルチパネルである。22は各PDPパネル23に拡大処理を行うか否か等の指示を与えると同時に、外部から前記マルチパネル21のマトリクス配列データ25を入力して記憶するシステム制御装置である。24は前記マトリクス配列データ25を記憶する記憶部である。26はマトリクス配列データ25（上記例の場合、（3，3））を入力するとともに、各部を制御するシステム制御部である。27は供給されるビデオ信号であり、例えば、各PDPパネ

ル23に対し直列に伝送される。

【0004】上記した従来のマルチパネルシステムでは、システム制御装置22が各PDPパネル23に対し、供給されたビデオ信号27を、例えば、拡大処理するか否か等の制御を行う。拡大処理を行う場合、システム制御部26はマルチパネル21のマトリクス配列に基づきPDPパネル23毎にアドレスを供給し、各PDPパネル23は所要部分のビデオ信号を拡大処理する。例えば、先頭パネル(1, 1)は、1フレームの画像を3×3の9枚に分割した内の、左側の上段に相当するビデオ信号を拡大処理し、最終パネル(3, 3)は、右側の下段に相当するビデオ信号を拡大処理するように、各PDPパネル23毎に所要部分の拡大を行い、マルチパネルシステムが画像全体の拡大表示を行う。ところで、上述した従来のマルチパネルシステムでは、予め、外部からマトリクス配列データ25を供給する必要がある、マルチパネル21のマトリクス配列を変更した場合、その都度、新たにマトリクス配列データ25を供給する手間がかかり、煩わしい問題があった。

【0005】

【発明が解決しようとする課題】本発明は上記問題点を鑑みなされたもので、所定の方法でマルチパネルシステムの制御線を接続しておき、例えば、電源を供給する等により、パネルの配列を自動的に認識できるマルチパネルシステムを提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、複数台のパネルをマトリクス配列に配置し表示画像をパネル毎に制御する大画面表示構成のマルチパネルシステムにおいて、供給された配列位置データにより自パネルの配列位置を認識し記憶し、次段の配列位置データを生成し供給するとともに次段からの応答を前段に転送する双方向通信機能を備えたパネルと、前記マトリクス配列の先頭パネルに配列位置データを供給し、最終パネルからの配列位置データの応答によりマトリクス配置全体を認識するシステム制御装置とを含み、各行の最終パネルが同パネルの配列位置データを前段に送信するとともに各パネルが前記最終パネルの配列位置データをシステム制御装置に転送する。

【0007】

【作用】以上のように構成したので、図3に示すマルチパネルシステムのパネル間接続とアドレスデータの生成及び転送の動作を説明する図に基づき、マトリクス配列が2行×2列の例で説明する。パネルをマトリクス配列に配置し、パネル間を行及び列に対応する2本の信号線で配線し、先頭のパネル配列位置を(1, 1)とする。この先頭のパネル(1, 1)は、システム制御装置から配列位置データ(1, 1)が供給されると、配列位置データ(1, 1)を自分のアドレスとして記憶するとともに、配列位置データ(1, 1)の列データに1を加算し

て配列データ(1, 2)を生成し、水平(横)方向の隣接パネル(1, 2)に送信する。アドレス(1, 2)のパネル(1, 2)はこの行の最終パネルであることを検出し、自分のアドレス(1, 2)をパネル(1, 1)を経由してシステム制御装置(図示せず)に送信する。

【0008】また、パネル(1, 1)は配列位置データ(1, 1)の行データに1を加算して配列データ(2, 1)を生成し、垂直(縦)方向の隣接パネル(2, 1)に送信する。さらに、パネル(2, 1)は、前記配列位置データ(2, 1)を自分のアドレスとして記憶するとともに、配列データ(2, 1)の列データに1を加算して配列位置データ(2, 2)を生成し、水平(横)方向の隣接パネル(2, 2)に送信する。アドレス(2, 2)のパネル(2, 2)はこの行の最終パネルであることを検出し、自分のアドレス(2, 2)をパネル(2, 1)、パネル(1, 1)の順に各パネルを経由してシステム制御装置(図示せず)に送信する。システム制御装置(図示せず)では、パネルから送信されたアドレス(1, 2)及びアドレス(2, 2)に基づき、例えば、行データと列データの和を計算し、大きいアドレスである(2, 2)をパネル配列であると認識する。

【0009】

【実施例】以下、本発明によるマルチパネルシステムについて、図を用いて詳細に説明する。図1は、本発明によるマルチパネルシステムの実施例ブロック図である。1は例えば、9枚のPDPパネル3を3×3のマトリクス状に組み合わせて配置し、各パネルを少なくとも1対の制御線で相互に接続したマルチパネルである。2は、マトリクス配列の先頭のパネル(1, 1)に配列位置(アドレス)データ(1, 1)を供給し、PDPパネル3から送信される配列位置(アドレス)データに基づきパネル配列を認識する一方、各PDPパネル3に拡大処理を行うか否か等の指示を与えるなど、前記マルチパネル1に対して各種制御を行うシステム制御装置である。3はPDPパネルである。4は配列位置(アドレス)データ(1, 1)を先頭のパネル(1, 1)に送信する一方、PDPパネル3から送信される配列位置(アドレス)データを受信し、さらに、各PDPパネル3に制御データを送信する送/受信部である。5はマルチパネルの配列が不合理の場合などに警告の表示を行う警告部である。6はPDPパネル3から送信される配列位置(アドレス)データの中から、例えば、行データと列データの和を計算し、最大のアドレスをパネル配列と判断する判断部である。7は、前記パネル配列を記憶する記憶部である。8は各部を制御するシステム制御部である。

【0010】図2は本発明によるマルチパネルシステムのパネルの実施例ブロック図である。10は行方向にパネルを接続した横系統にたいする送信及び受信を行うとともに、列方向にパネルを接続した縦系統にたいする送信及び受信を行う水平/垂直・送/受信部である。15

は各行の最終位置に接続されたパネルを検出する、例えば、端子のインピーダンスを計測して次段にパネルが接続しているか否かを判定する、終端検出部である。11は自パネルの位置データと、例えば、輝度、色相等の画像制御データとを記憶するメモリ部である。12は位置データの行データ若しくは列データに1を加算する加算部である。13はフレーム画像データを記憶するフレームメモリ部である。14は画像の部分拡大のための信号処理及び表示信号処理を行う拡大／映像信号処理部である。16は画像を表示する表示部である。18は各部を制御するパネル制御部である。

【0011】本発明によるマルチパネルシステムの動作を図1、図2及び図3に従い説明する。システム制御装置2及びマルチパネル1と各パネル間の接続について述べる。図1に示すように、マルチパネル1の各パネル3をマトリクス配列の第一列で列方向に行アドレスと列アドレスを別々に1対の線で縦系統のパネル接続するとともに、パネル(1, 1)を先頭に第一行の行方向に行アドレスと列アドレスを別々に1対の線で横系統のパネル接続する。同様に1対の線で、パネル(2, 1)を先頭に第二行の横系統のパネル接続を行い、更に同様にして、パネル(3, 1)を先頭に第三行の横系統のパネル接続を行う。上記マルチパネル1の配線状態において、例えば、電源投入を行い、マトリクス配置を検出するモードに移行させる。システム制御装置2は送／受信部4を経由してマルチパネル1の先頭のパネル(1, 1)に先頭の配列位置(アドレス)データ(1, 1)を供給する。

【0012】アドレスデータの認識動作を以下に説明する。まずパネルの端子及びその接続を詳細に述べる。図3に示すように、各パネルは2対の入力端子(HXI, HYI)及び(VXI, VYI)と2対の出力端子(HX0, HY0)及び(VX0, VY0)とを備えていて、例えば、パネル(1, 1)は出力端子(HX0, HY0)とパネル(1, 2)の入力端子(HXI, HYI)とを接続し、また、パネル(1, 1)は出力端子(VX0, VY0)とパネル(2, 1)の入力端子(VXI, VYI)とを接続している。また、パネル(2, 1)は出力端子(HX0, HY0)とパネル(2, 2)の入力端子(HXI, HYI)とを接続している。尚、パネル(1, 1)の入力端子は、システム制御装置2(図1)に接続されている。また、各パネルのその他の端子は解放されている。

【0013】図3(イ)に示すように、パネル(1, 1)は入力端子(HXI, HYI)にデータ(HXI = 1, HYI = 1以降「行」、「列」の順に1, 1で示す)が配列位置データ(1, 1)として供給されると、前記配列位置データ(1, 1)を自分のアドレスとして記憶(認識)するとともに、配列位置データ(1, 1)の列データに1を加算して出力端子(HX0, HY0)にはデータ(1, 2)を出力し、水平(横)方向の隣接パネル(1, 2)へは前記データ(1, 2)が供給される。パネル(1, 2)で

は出力端子(HX0, HY0)及び(VX0, VY0)とともに解放されていて、次段にパネルの接続が無い状態であるから、前記アドレスデータ(1, 2)を1行目の最終アドレスとしてそのまま、逆の順にパネル(1, 1)側に転送する。

【0014】図3(ロ)に示すように、パネル(1, 1)は、自パネルの配列位置データ(1, 1)の行データに1を加算して出力端子(VX0, VY0)にデータ(2, 1)を出力し、垂直(縦)方向の隣接パネル(2, 1)へは前記データ(2, 1)が供給される。パネル(2, 1)は、前記配列位置データ(2, 1)を自分のアドレスとして記憶するとともに、配列位置データ(2, 1)の列データに1を加算して出力端子(HX0, HY0)にはデータ(2, 2)を出力する。

【0015】図3(ハ)に示すように、パネル(2, 1)の出力端子(HX0, HY0)のデータ(2, 2)は水平(横)方向の隣接パネル(2, 2)の入力端子(HXI, HYI)へ供給される。パネル(2, 2)では、前記配列位置データ(2, 2)を自分のアドレスとして記憶するとともに、出力端子(HX0, HY0)及び(VX0, VY0)とともに解放されていて、次段にパネルの接続が無い状態であるから、前記アドレスデータ(2, 2)を2行目の最終アドレスとしてそのまま、逆の順にパネル(2, 1)、パネル(1, 1)側に転送する。上記説明は2×2マトリクス配列を例に、アドレスデータの転送と各パネルのアドレスの認識方法を説明したが、マトリクス配列の大きさは2×2に限定するものでなく、図1の3×3マトリクス配列にも適応する。

【0016】図1のシステム制御装置2側はパネル側から各行の最終アドレスデータが送信されると、送／受信部4を経由して判断部6が、例えば、パネルから送信されたアドレス(1, 3)、アドレス(2, 3)及びアドレス(3, 3)を受取り、同データに基づき、行データと列データの和を計算し、最大のアドレスである(3, 3)をこのパネル配列であると認識できる。

【0017】各パネルの動作は、図2に示すように、双方向の送信及び受信を水平／垂直・送／受信部10が行い、上述の最大のアドレスデータ等を送信する。メモリ部11は配列位置データを自分のアドレスとして記憶し、加算部12は適宜行データあるいは列データに1を加算する。終端検知部15は、例えば、端子のインピーダンスを計測して、各行の最終パネルであることを検出する。具体例としてパネルの拡大表示動作についてのべる。パネルにビデオ信号が供給され、例えば、拡大表示が指示されると、予め、システム制御装置2がパネル配列を自動認識するとともに、各パネルが自パネルの配置を自動認識しているので、例えば、部分拡大表示の際、自パネルの配置に基づきパネルが備えているフレームメモリ部13からフレーム映像の所要部分を所要タイミングで読み出し拡大表示処理を行うことができる。さらに、システム制御装置2からパネル毎に輝度等の表示制

御を行うこともできる。

【0018】尚、図1の判断部6でパネルから送信された各行の最終アドレスが、例えば、アドレス(1, 2)、アドレス(2, 3)及びアドレス(3, 3)であるとする。この場合、第一行の列データのみ2で、他の行は3であり、一致しない。従って、第一行の最終パネル(1, 3)の配線が外れている、或いは、故障などが発生していると判断できる。よって、警告部5でその旨の警告表示を行うようにすることができる。また、マトリクス配置を検出するモードに移行するためには、電源投入時に限定するものではなく、例えば、システム制御部8の外部にモードスイッチを設けて任意時刻にマトリクス配置を検出するようにしても良い。また、上述の例ではマルチパネル1を構成するパネルとしてPDPパネルについて説明したが、本発明はPDPパネルに限定するものでなく、例えば、液晶パネルを用いたマルチパネルシステムであっても良い。また、図2に示した水平/垂直・送/受信部10が、行及び列に対応する1対の信号端子を時分割により行データ及び列データを伝送する方式にして、1つの信号端子で実現しても良い。

【0019】

【発明の効果】以上説明したように、本発明は所定の方法でマルチパネルシステムの制御線を接続しておき、例えば、電源を供給する等により、パネルの配列を自動的に認識できるマルチパネルシステムを提供する。従って、会議場、イベント会場やショールーム等で、複数のPDPパネル画面などに種々の映像を多画面で表示する際、異なるマトリクス配列のマルチパネルシステムに対しても、予め、外部からマトリクス配列データを供給する必要がない。特に、個々のPDPパネルに部分映像を拡大表示した大画面の拡大表示をする際、本発明は各パネルが自パネルの配置を自動認識するので、従来のマルチパネルシステムのように、パネル毎にマトリクス配置データを供給する煩わしさを解消できるメリットがある。

【図面の簡単な説明】

【図1】本発明によるマルチパネルシステムの実施例ブロック図である。

【図2】本発明によるマルチパネルシステムのパネルの実施例ブロック図である。

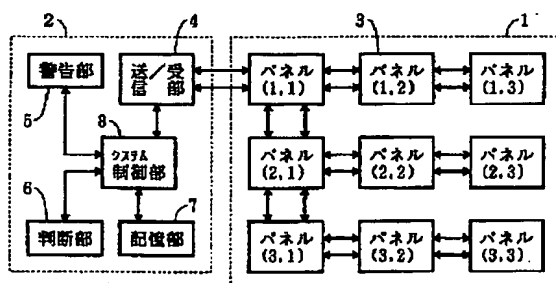
【図3】本発明によるマルチパネルシステムのパネル間接続とアドレスデータの生成及び転送の動作を説明する図である。

【図4】従来のマルチパネルシステムの実施例ブロック図である。

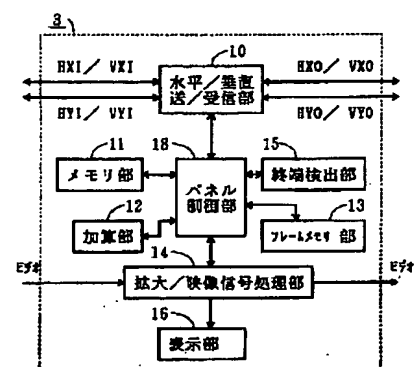
【符号の説明】

- 1 マルチパネル
- 2 システム制御装置
- 3 PDPパネル
- 4 送/受信部
- 5 警告部
- 6 判断部
- 7 記憶部
- 8 システム制御部
- 10 水平/垂直・送/受信部
- 11 メモリ部
- 12 加算部
- 13 フレームメモリ部
- 14 拡大/映像信号処理部
- 15 終端検出部
- 16 表示部
- 18 パネル制御部
- 21 マルチパネル
- 22 システム制御装置
- 23 PDPパネル
- 24 記憶部
- 25 マトリクス配列データ
- 26 システム制御部
- 27 ビデオ信号

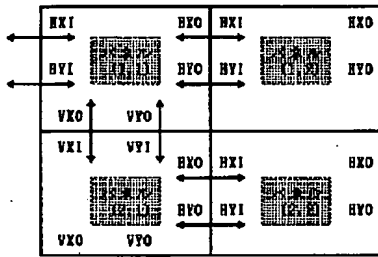
【図1】



【図2】



【図3】



パネル (1.1)				パネル (1.2)			
入力		出力		入力		出力	
HXI	1	HXO	1	HXI	1	HXO	1
HVI	1	HYO	2	HVI	2	HYO	2

(イ)

パネル (1.1)				パネル (2.1)			
入力		出力		入力		出力	
HXI	1	VXO	2	VXI	2	HXO	2
HVI	1	VYO	1	VVI	1	HYO	2

(ハ)

パネル (2.1)				パネル (2.2)			
入力		出力		入力		出力	
VXI	2	HXO	2	HXI	2	HXO	2
VVI	1	HYO	2	HVI	2	HYO	2

(ニ)

【図4】

